

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-318927
 (43)Date of publication of application : 10.11.1992

(51)Int.Cl. H01L 21/302
 C23F 4/00

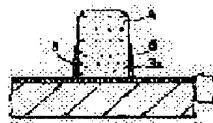
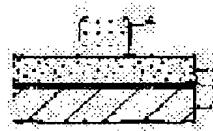
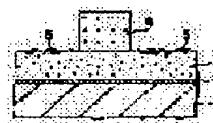
(21)Application number : 03-110697 (71)Applicant : SONY CORP
 (22)Date of filing : 17.04.1991 (72)Inventor : TATSUMI TETSUYA

(54) DRY ETCHING METHOD

(57)Abstract:

PURPOSE: To prevent the generation of etching residue resulting from a natural oxide film in the dry etching of a silicon group material layer using no fluorocarbon group gas.

CONSTITUTION: A natural oxide film 5 is removed by changing the applying method of RF bias in the same gas system and the same chamber before a polycrystalline silicon layer 3 is etched (main-etching) by using S₂F₂. The removal of the film 3 is conducted by either of a) power is increased, b) frequency is lowered or c) power is increased and frequency is lowered when the method is compared with main-etching. All of a), b) and c) methods have an effect improving ion implantation energy, and can remove the natural oxide film 5 on the surface of the polycrystalline silicon layer 3 effectively. The etching of the polycrystalline silicon layer 3 progresses smoothly and uniformly, and a gate electrode 3a having an anisotropic shape can be formed by the contribution of the sidewall protective films 6 of sulfur.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-318927

(43) 公開日 平成4年(1992)11月10日

(51) Int.Cl.⁵
H 01 L 21/302
C 23 F 4/00
H 01 L 21/302

識別記号 F 7353-4M
F 7353-4K
N 7353-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全7頁)

(21) 出願番号 特願平3-110697

(22) 出願日 平成3年(1991)4月17日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 長谷哲也
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

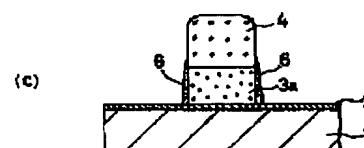
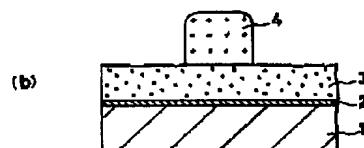
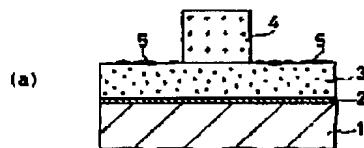
(74) 代理人 弁理士 小池晃 (外3名)

(54) 【発明の名称】 ドライエッチング方法

(57) 【要約】

【目的】 フロン系ガスを使用しないシリコン系材料層のドライエッチングにおいて、自然酸化膜に起因するエッチング残渣の発生を防止する。

【構成】 S: F: を用いて多結晶シリコン層3をエッチングする(メイン・エッチング)前に、同一ガス系かつ同一チャンバ内でRFバイアスの印加方法を変えることにより自然酸化膜5を除去する。これは、メイン・エッチングと比べて(イ)パワーを上げる、(ロ)周波数を下げる、(ハ)パワーを上げかつ周波数を下げる、のいずれかにより行う。いずれもイオン入射エネルギーを高める効果があり、多結晶シリコン層3の表面の自然酸化膜5を効率的に除去できる。続く多結晶シリコン層3のエッチングは円滑かつ均一に進行し、S(イオウ)の側壁保護膜6の寄与により異方性形状を有するゲート電極3aが形成できる。



1

【特許請求の範囲】

【請求項1】 被エッティング基板の温度を室温以下に制御し、相対的に高いパワーのRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂Cl₂, S₂Cl₄, SCl₂, S₂Br₂, S₂Br₂, SBr₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に低いパワーのRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするドライエッティング方法。

【請求項2】 被エッティング基板の温度を室温以下に制御し、相対的に低い周波数のRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂Cl₂, S₂Cl₄, SCl₂, S₂Br₂, S₂Br₂, SBr₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に高い周波数のRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするドライエッティング方法。

【請求項3】 被エッティング基板の温度を室温以下に制御し、相対的に高いパワーかつ相対的に低い周波数のRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂Cl₂, S₂Cl₄, SCl₂, S₂Br₂, S₂Br₂, SBr₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に低いパワーかつ相対的に高い周波数のRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするドライエッティング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造分野等において適用されるドライエッティング方法に関し、特にフロン系ガスを使用せずにシリコン系材料層をエッティングするに際し、自然酸化膜に起因するエッティング残渣の発生を防止する方法に関する。

【0002】

【従来の技術】近年のVLSI, ULSI等にみられるように半導体装置の高集積化および高性能化が進展するに伴い、単結晶シリコン、多結晶シリコン、高融点金属シリサイド、ポリサイド等の各種シリコン系材料層のエッティングにおいても、高異方性、高速性、高選択性、低ダメージ性、低汚染性といった諸要求をいずれも犠牲にすることなく達成する技術が強く望まれている。単結晶シリコンの代表的なエッティング・プロセスは、微細素子分離やセル容積面積の確保を目的としてトレンチを形成するトレンチ加工である。一方、多結晶シリコン、高

2

融点金属シリサイド、ポリサイド等の代表的なエッティング・プロセスはゲート加工である。いずれも、デザイン・ルールの高度な微細化により、極めて高い加工精度が要求されるプロセスである。

【0003】従来、これらシリコン系材料のエッティングにはフロン113(C₂ClF₃, F₂)等に代表されるフロン系ガスがエッティング・ガスとして広く用いられてきた。フロン系ガスは1分子内にFとClとを構成元素として有するため、ラジカル反応とイオン・アシスト反応の両方によるエッティングが可能であり、かつ気相中から堆積する炭素系ポリマーで側壁保護を行いながら高異方性を達成することができる。しかしながら、フロン系ガスは周知のように地球のオゾン層破壊の元凶であることが指摘されており、近い将来に製造および使用が禁止される運びである。したがって、ドライエッティングの分野においてもフロン系ガスの代替品を見出し、その効果的な利用方法を確立することが急務となっている。また、半導体装置のデザイン・ルールが今後さらに微細化されると、気相中から堆積する炭素系ポリマーがパーティクル汚染源となることも考えられ、この意味からも脱フロン対策が望まれている。

【0004】脱フロン対策として有望視されている技術に、低温エッティングがある。これは、被エッティング基板(ウェハ)の温度を0℃以下に保持することにより、深さ方向のエッティング速度をイオン・アシスト効果により実用レベルに維持したまま、パターン側壁部におけるラジカル反応を凍結または抑制してアンダカット等の形状異常を防止しようとする技術である。たとえば、第35回応用物理学関係連合講演会(1988年春季年会)講演予稿集第495ページ演題番号28a-G-2には、ウェハを-130℃に冷却し、SF₆ガスを用いてシリコン・トレンチ・エッティングおよびn+型多結晶シリコン層のエッティングを行った例が報告されている。

【0005】しかし、低温エッティングにおいて高異方性の達成をラジカル反応の凍結もしくは抑制のみに頼るうとすると、相応のレベルの低温が必要となり、経済性やスループットを大きく低下させる虞れがある。そこで、より実用的なアプローチとしては、低温によるラジカル反応抑制と側壁保護を組み合わせ、より室温に近い温度領域でエッティングを行うことが考えられる。

【0006】本願出願人は、この側壁保護をイオウ(S)の堆積により行う一連の技術をこれまでに数多く提案している。Sの堆積は、1分子中のハロゲン(X)原子数とS原子数との比、すなわちX/S比が比較的小さいハロゲン化イオウを主体とするエッティング・ガスを使用することにより、可能となる。たとえば、特願平2-198045号明細書には、かかるハロゲン化イオウとしてS₂F₂, SF₂, SF₄, S₂F₁₀が開示されている。これらのフッ化イオウは、同じフッ化イオウでも従来から最も良く知られているSF₆と異なり、放電

解離により気相中にSを生成することができる。このSは、基板が低温冷却されていればその表面へ堆積し、側壁保護効果を発揮する。しかも、堆積したSはエッティング終了後に基板を加熱すれば容易に昇華除去できるため、パーティクル汚染を惹起させる虞れもない。本願出願人は、これらフッ化イオウからのF⁺（フッ素ラジカル）生成量がSF₆と比べて少なく、しかもSF₆によるイオン・アシスト反応が期待できる点に着目し、これを酸化シリコン系材料層のエッティングに適用してシリコン下地に対する高選択性を達成した。

【0007】このように、ハロゲン化イオウとしてはF/S比の比較的小さいフッ化イオウが酸化シリコン系材料層のエッティング用に最初に提案されたのであるが、本願出願人はその後、ハロゲン化イオウをシリコン系材料層のエッティングに適用する技術も種々提案している。たとえば、特願平2-199249号明細書では、被エッティング基板を0℃以下に冷却した状態でS₂C₁₂等の塩化イオウもしくはS₂Br₂等の臭化イオウを含むガスを使用してシリコン系材料を低温エッティングする技術を開示している。これは、反応性の高いF⁺を発生し得ないガスを使用することにより、ラジカルの影響を低減し、より有利に高異方性を達成しようとするものである。

【0008】

【発明が解決しようとする課題】ところで、シリコン系材料層のエッティング・プロセスとしてたとえばゲート加工を行おうとする場合、薄いゲート酸化膜に対して高選択性を確保し、かつシリコン基板に対するダメージを最小限に抑え得る条件で多結晶シリコン層やポリサイド膜をエッティングすることが必要となる。このように、下地に対する高選択性および低ダメージ性を重視する場合には、通常は実用的なエッティング速度を損なわない範囲でイオン入射エネルギーを低減させた条件が採用される。しかし、シリコン系材料層の表面には一般に酸化シリコンSiO_x（特にSiO₂）からなる自然酸化膜が存在しているため、かかる条件では大量のエッティング残渣が発生する場合がある。これは、上記自然酸化膜の膜厚が不均一であり、厚く形成されていた部分ではこれが除去されずに残存し、エッティング・マスクとして機能してしまうからである。つまり、イオン・モードを主体とする機構によりエッティングされる酸化シリコン系の自然酸化膜を、シリコン系材料層と同じくイオン入射エネルギーを低減させた条件で同時に除去しようすることは、本来困難なのである。そこで本発明は、自然酸化膜に起因するエッティング残渣の発生を防止でき、かつ下地に対する高選択性および低ダメージ性が達成できるドライエッティング方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のドライエッティング方法は、上述の目的を達成するために提案されるもの

である。すなわち、本願の第1の発明にかかるドライエッティング方法は、被エッティング基板の温度を室温以下に制御し、相対的に高いパワーのRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂C₁₂, S₂Cl₂, SC₁₂, S₂Br₂, S₂Br₂, S₂Br₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に低いパワーのRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするものである。

【0010】本願の第2の発明にかかるドライエッティング方法は、被エッティング基板の温度を室温以下に制御し、相対的に低い周波数のRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂C₁₂, S₂Cl₂, SC₁₂, S₂Br₂, S₂Br₂, S₂Br₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に高い周波数のRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするものである。

【0011】さらに本願の第3の発明にかかるドライエッティング方法は、被エッティング基板の温度を室温以下に制御し、相対的に高いパワーかつ相対的に低い周波数のRFバイアスを印加しながらS₂F₂, SF₂, SF₄, S₂F₁₀, S₂C₁₂, SC₁₂, S₂Br₂, S₂Br₂, S₂Br₂から選ばれる少なくとも1種の化合物を含むエッティング・ガスを用いてシリコン系材料層の表面の自然酸化膜を除去する工程と、相対的に低いパワーかつ相対的に高い周波数のRFバイアスを印加しながら前記のエッティング・ガスを用いて前記シリコン系材料層のエッティングを行う工程とを有することを特徴とするものである。

【0012】

【作用】本発明は、いずれもシリコン系材料層のエッティング工程に入る前に、自然酸化膜の除去を行ういわゆるブレークスルー工程を挿入したことを特徴とするものである。本発明では、上記ブレークスルーとシリコン系材料層のエッティングとを同一チャンバ内で同一組成のエッティング・ガスを用いて連続プロセスにより行うわけであるが、シリコン系材料層のエッティングは本質的にはラジカル・モードで進行し、酸化シリコン系材料層のエッティングはイオン・モードを主体として進行するというエッティング機構上の違いがある。そこで、ブレークスルー時ののみ、イオン入射エネルギーを増大させる条件を採用するわけである。イオン入射エネルギーを増大させる手段としては、（イ）被エッティング基板に印加するRFバイアスのパワーを高めること、（ロ）被エッティング基板に印加するRFバイアスの周波数を下げること、（ハ）被

エッティング基板に印加するRFバイアスのパワーを高めかつ周波数を下げる事、が考えられる。

【0013】上記(イ)のRFバイアス・パワーを高める考え方にもとづく発明が、本願の第1の発明である。この場合、被エッティング基板にかかるRFバイアス・パワーが大きくなるほど、該基板の近傍に形成されるイオン・シース間の電位が高くなり、イオンは高い入射エネルギーを得て被エッティング基板に入射する。ここで、エッティング・ガスに $S_2 F_2$, SF_2 , SF_4 , $S_2 F_{10}$, $S_2 Cl_2$, $S_2 Cl_2$, SCl_2 , $S_2 Br_2$, $S_2 Br_2$, SBr_2 から選ばれる少なくとも1種の化合物が含まれている場合、入射するイオン種は S^+ , SF_2^+ , SCl_2^+ , SBr_2^+ , F^- , Cl^- , Br^- 等である。これらのイオンは直接に自然酸化膜をスパッタ除去する他、ラジカル反応による自然酸化膜の分解除去をアシストする。これらの機構により、自然酸化膜は速やかに除去される。自然酸化膜が除去された後は、RFバイアス・パワーを下げた条件でシリコン系材料層のエッティングを行えば、エッティング残渣を生ずることがなく、しかも優れた対下地選択性および低ダメージ性とが達成される。

【0014】上記(ロ)のRFバイアス周波数を下げる考え方にもとづく発明が、本願の第2の発明である。一般にプラズマ・エッティングにおいてプラズマ生成領域にRF電界を形成すると、RFバイアス周波数が低い場合にはイオンと電子の双方が電界の反転に追従できるので、イオンの一部は被エッティング基板へ入射する。しかし、RFバイアス周波数の増大に伴って質量の大きいイオンから順次追従が不可能となり、被エッティング基板へのイオン入射量が減少する。さらにRFバイアス周波数が増大すると電子も追従不可能となってプラズマ中で振動し、ガス分子と衝突して多くのラジカルやイオンを生成するようになるが、電場の反転に追従できない重いイオンは被エッティング基板へほとんど入射しなくなる。したがって、RFバイアス周波数を下げてイオン・モードを主体とする条件で自然酸化膜を除去し、次にRFバイアス周波数を上げてイオン性を弱めた条件でシリコン系材料層をエッティングすれば、エッティング残渣を生ずることなく、しかも優れた対下地選択性および低ダメージ性とが達成されるのである。

【0015】上記(ハ)のRFバイアスのパワーを高めかつ周波数を下げる考え方にもとづく発明が、本願の第3の発明である。この場合、本願の第1の発明と第2の発明を合わせた効果が期待できる。つまり、自然酸化膜の除去時には質量の大きいイオンを高いイオン入射エネルギーをもって被エッティング基板に入射させ、シリコン系材料層のエッティング時にはイオン性を極力弱めた条件でエッティングを行うわけである。これにより、自然酸化膜の徹底的かつ迅速な除去と、高度な対下地選択性および低ダメージ性の達成が可能となる。

【0016】ところで、本発明ではシリコン系材料層のエッティング時にはブレークスルー時と比べてRFバイアス・パワーを下げるか、RFバイアス周波数を上げるか、もしくは両方が行われるわけであるが、このメインのエッティングにおいて何ら異方性が損なわれるものではない。それは、本発明で使用される各種ハロゲン化イオウの優れた性質によるものである。すなわち、これらハロゲン化イオウは、放電解離によりプラズマ中にSを生成させることができる。生成したSは、被エッティング基板が室温以下の温度に維持されていることにより容易にその表面へ析出する。ここで、イオンの入射面では堆積したSは直ちにスパッタ除去されるが、イオンの入射が少ないパターン側壁部ではSの堆積が続き、これが側壁保護膜として機能する。その上、被エッティング基板の温度制御によりラジカル反応もある程度抑制されているので、高異方性が確保される。しかも、堆積したSは、エッティング終了後に被エッティング基板を室温より高い温度にまで昇温させれば容易に昇華除去することができるため、エッティング系内にパーティクル汚染を惹起させるものではない。これも、本発明の重要なメリットのひとつである。

【0017】

【実施例】以下、本発明の具体的な実施例について説明する。

【0018】実施例1

本実施例は、本願の第1の発明をゲート加工に適用し、 $S_2 F_2$ を用いてRFバイアス・パワーを高めた条件で自然酸化膜を除去し、続いてRFバイアス・パワーを低下させた条件で多結晶シリコン層のエッティングを行った例である。このプロセスを図1(a)ないし(c)を参照しながら説明する。

【0019】まず、実際のプロセスに入る前に、予偏実験により酸化シリコン層のエッティング速度のRFバイアス・パワー依存性を検討したので、この結果について説明する。実験に用いたサンプル・ウェハは、シリコン基板の表面酸化により酸化シリコン層を形成したものである。このウェハを有磁場マイクロ波プラズマ・エッティング装置のウェハ載置電極上にセットし、該ウェハ載置電極に内蔵される冷却配管にエタノール冷媒を循環させることにより該ウェハを約-60℃に冷却した。ここで、条件を $S_2 F_2$ 流量20 SCCM, ガス圧1.3 Pa (10 mTorr), マイクロ波パワー850Wとし、RFバイアス・パワー(2 MHz)の値を変化させた場合の酸化シリコン層のエッティング速度の変化を調べた。図2はこの実験結果を示しており、縦軸は酸化シリコン層のエッティング速度(A/分)、横軸はRFバイアス・パワー(W)をそれぞれ表している。RFバイアス・パワーが増大しイオン入射エネルギーが高まるにしたがって、酸化シリコン層のエッティング速度が増大する様子が明らかである。

7

【0020】この実験結果にもとづき、実際のゲート加工を行ったプロセス例について図1(a)ないし(c)を参照しながら説明する。まず、一例として図1(a)に示されるように、単結晶シリコン基板1上に酸化シリコンからなるゲート酸化膜2を介してn⁺型の多結晶シリコン層3が形成され、さらに所定の形状にパターニングされたレジスト・マスク4が形成されてなるウェハを用意した。ここで、上記多結晶シリコン層3の露出表面には厚さの不均一な自然酸化膜5が形成されている。次に、上記ウェハを有磁場マイクロ波プラズマ・エッティング装置のウェハ載置電極上にセットして約-60°Cに冷却した。この状態で、S₂F₂流量5SCCM、ガス圧1.3Pa(10mTorr)、マイクロ波パワー850W、RFバイアス・パワー50W(2MHz)，エッティング時間10秒の条件で上記自然酸化膜5のエッティングを行った。このブレークスルー工程では、S₂F₂の放電解離によりプラズマ中に生成するS⁺、SF₂⁺等のイオンが主エッティング種となり、図1(b)に示されるように、自然酸化膜5が速やかに除去された。

【0021】次に、RFバイアス・パワーを5Wに下げた他は同じ条件で、上記多結晶シリコン層3のエッティングを行った。この過程では、S₂F₂の放電解離により生成するF⁺が主エッティング種として寄与するが、同じくS₂F₂から解離生成するSがパターン側壁部に堆積し、図1(c)に示されるように側壁保護膜6が形成された。この結果、低バイアス・パワーであるにもかかわらず、良好な異方性形状を有するゲート電極3aが形成された。また、RFバイアス・パワーを下げることにより、下地のゲート酸化膜2に対する高選択性も併せて達成された。上記側壁保護膜6は、エッティング終了後にウェハを約90°Cに加熱することにより昇華除去され、何らエッティング系内にパーティクル汚染を惹起させることはなかった。この加熱は、低温エッティング後のウェハ上への結露を防止するための加熱をもって兼用させることができる。

【0022】比較例

本比較例は、前述の実施例1に対する比較として、ブレークスルーを行わないで初めから低バイアス・パワー条件にて多結晶シリコン層3のエッティングを行った例である。このプロセスを図4を参照しながら説明する。ただし、図4において図1と共通の部分については同一の番号を用いて説明する。本比較例におけるエッティング条件は、有磁場マイクロ波プラズマ・エッティング装置内においてS₂F₂流量5SCCM、ガス圧1.3Pa(10mTorr)、マイクロ波パワー850W、RFバイアス・パワー5W(2MHz)、ウェハ温度約-60°Cであり、実施例1における多結晶シリコン層3のエッティング条件と同一である。しかし、本比較例ではブレークスルーを行わなかったため、部分的に残存した自然酸化膜5がエッティング・マスクとして機能し、図4に示される

8

ように大量のエッティング残渣3bが発生した。

【0023】実施例2

本実施例は、本願の第1の発明をトレンチ加工に適用し、S₂F₂を用いてRFバイアス・パワーを高めた条件で自然酸化膜を除去し、続いてRFバイアス・パワーを低下させた条件で単結晶シリコン基板のエッティングを行った例である。このプロセスを図3(a)ないし(c)を参照しながら説明する。まず、一例として図3(a)に示されるように、単結晶シリコン基板11上にエッティング・マスクとなるレジスト・マスク12を形成し、パターニングにより選択的に開口部13を形成した。ここで、開口部13内に露出する単結晶シリコン基板11の表面には、自然酸化膜14が形成されている。次に、このウェハを有磁場マイクロ波プラズマ・エッティング装置にセットし、S₂F₂流量20SCCM、ガス圧1.3Pa(10mTorr)、マイクロ波パワー850W、RFバイアス・パワー50W(2MHz)，基板温度約-60°C、エッティング時間10秒の条件で上記自然酸化膜14のエッティングを行った。このブレークスルー工程では、S₂F₂の放電解離によりプラズマ中に生成するS⁺、SF₂⁺等のイオンが主エッティング種となり、図3(b)に示されるように、自然酸化膜14が速やかに除去された。

【0024】次に、RFバイアス・パワーを20Wに下げた他は同じ条件で、上記単結晶シリコン基板11のエッティングを行った。この過程では、S₂F₂の放電解離により生成するF⁺がS⁺、SF₂⁺等のイオンにアシストされる機構でエッティングが高速に進行する一方で、Sの堆積により側壁保護膜15が形成された。この結果、図3(c)に示されるように、良好な異方性形状を有するトレンチ16が形成された。

【0025】実施例3

本実施例は、本願の第2の発明を実施例1と同じくゲート加工に適用し、S₂F₂を用いてRFバイアス周波数の低い条件で自然酸化膜を除去し、続いてRFバイアス・パワーを高めた条件で多結晶シリコン層のエッティングを行った例である。参考する図面は前述の図1(a)ないし(c)である。まず、図1(a)に示される状態のウェハを有磁場マイクロ波プラズマ・エッティング装置にセットした。ここで、上記有磁場マイクロ波プラズマ・エッティング装置には、ウェハ載置電極に接続されるRF電源として周波数400kHzと13.56MHzの2系統を用意し、切り替えスイッチによりいずれか一方のRF電源を選択的に接続可能な構成とした。この状態で、S₂F₂流量20SCCM、ガス圧1.3Pa(10mTorr)、マイクロ波パワー850W、RFバイアス・パワー20W、RFバイアス周波数400kHz、基板温度約-60°C、エッティング時間20秒の条件で上記自然酸化膜5のエッティングを行った。このブレークスルー工程では、相対的に低いRFバイアス周波数が

印加されることにより、イオンの電界への追従性が向上し、実質的に大きなイオン入射エネルギーで自然酸化膜5がスパッタ除去された。次に、RFバイアス周波数を1.3.56MHzに上げた他は同じ条件で、上記多結晶シリコン層3のエッチングを行った。この過程では、イオン入射エネルギーは相対的に低くなるものの、ラジカル主体のエッチング反応とSによる側壁保護が同時に進行し、ゲート酸化膜2に対する高選択性を保ちながら異方性形状を有するゲート電極3aが形成された。

【0026】実施例4

本実施例は、本願の第3の発明を実施例3と同じくゲート加工に適用し、 $S_2 F_2$ を用いてRFバイアス・パワーが高くかつ周波数の低い条件で自然酸化膜を除去し、続いてRFバイアス・パワーが低くかつ周波数の高い条件で多結晶シリコン層のエッチングを行った例である。参照する図面は前述の図1(a)ないし(c)である。まず、図1(a)に示される状態のウェハを有磁場マイクロ波プラズマ・エッチング装置にセットし、 $S_2 F_2$ 流量20SCCM, ガス圧1.3Pa(10mTorr), マイクロ波パワー850W, RFバイアス・パワー50W, RFバイアス周波数400kHz, 基板温度約-60°Cの条件で上記自然酸化膜5のエッチングを行った。この条件は、前述の実施例3のブレークスルー条件に比べてさらにRFバイアス・パワーが高められたものであり、自然酸化膜5はわずか5秒間で除去された。次に、RFバイアス・パワーを20Wに下げ、RFバイアス周波数を1.3.56MHzに上げた他は同じ条件で、上記多結晶シリコン層3のエッチングを行った。この結果、良好な異方性形状を有するゲート電極3aを優れた対下地選択性をもって形成することができた。

【0027】なお、本発明は上述の実施例に限定されるものではなく、たとえばエッチング・ガスには各種の添加ガスを混合しても良い。たとえば、 N_2 を添加した場合には反応生成物による側壁保護の強化を期待することができる、また H_2 , $H_2 S$, シラン系ガスのようにエッチング系内に H^+ および/またはシリコン系活性種を供給し得るガスを添加すれば、過剰なハロゲン・ラジカルを捕捉し、Sの堆積効果を高めることができる。さらに、スパッタリング効果、冷却効果、希釈効果を得る目的でHe, Ar等の希ガスが添加されていても良い。また、上述の実施例ではエッチング・ガスとして $S_2 F_2$ を使用する場合について説明したが、本発明で提案される他のフッ化イオウ、塩化イオウ、臭化イオウを使用した場合でも、同様の機構によりエッチング種の生成とSによる側壁保護が行われる。ただし、常温で液体状の化

合物については、不活性ガスによるバーリングを行って気化させてからエッチング反応系に導入する必要がある。特に、塩化イオウおよび臭化イオウを使用する場合には、 F^+ のように極めて反応性の高いエッチング種が生成しないため、エッチング速度が若干低下する可能性はあるものの、異方性達成の観点からは有利となる。また、臭化イオウを使用する場合には、エッチング反応生成物である $S_1 Br$ もSと共に側壁保護に寄与する。

【0028】

【発明の効果】以上の説明からも明らかなように、本発明のドライエッチング方法によれば、自然酸化膜に起因するエッチング残渣を発生させることなく、シリコン系材料層のエッチングを高異方性、高速性、高選択性、低汚染性をもって行うことが可能となる。したがって、本発明は微細なデザイン・ルールにもとづき高集積度および高性能を有する半導体装置の製造に好適であり、また脱フロン対策として極めて優れている。

【図面の簡単な説明】

【図1】本発明のドライエッチング方法をゲート加工に適用した一例をその工程順にしたがって示す概略断面図であり、(a)はエッチング前のウェハの状態、(b)は自然酸化膜を除去した状態、(c)はゲート電極が形成された状態をそれぞれ表す。

【図2】有磁場マイクロ波プラズマ・エッチング装置を用いて $S_2 F_2$ により酸化シリコン層をエッチングした場合のエッチング速度とRFバイアス・パワーとの関係を示す特性図である。

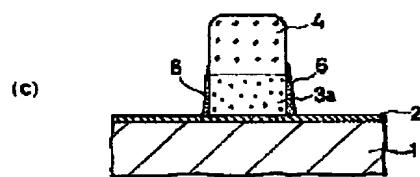
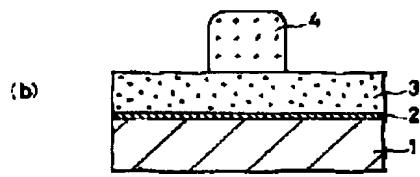
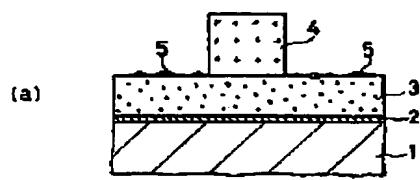
【図3】本発明のドライエッチング方法をトレンチ加工に適用した一例をその工程順にしたがって示す概略断面図であり、(a)はエッチング前のウェハの状態、(b)は自然酸化膜を除去した状態、(c)はトレンチが形成された状態をそれぞれ表す。

【図4】従来のゲート加工において、自然酸化膜に起因するエッチング残渣が大量に発生した状態を示す概略断面図である。

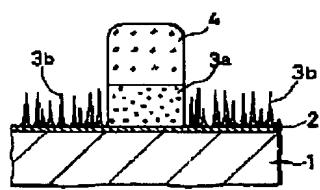
【符号の説明】

- | | |
|-------|-------------|
| 1 | … 単結晶シリコン基板 |
| 2 | … ゲート酸化膜 |
| 3 | … 多結晶シリコン層 |
| 40 3a | … ゲート電極 |
| 4, 12 | … レジスト・マスク |
| 5, 14 | … 自然酸化膜 |
| 6, 15 | … 側壁保護膜(S) |
| 13 | … 開口部 |
| 16 | … トレンチ |

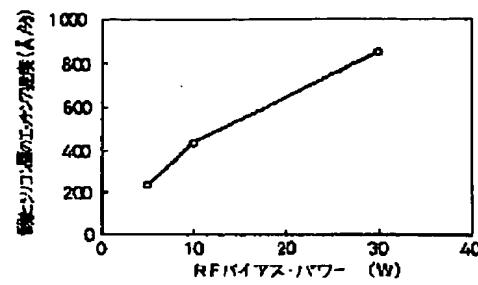
【図1】



【図4】



【図2】



【図3】

